

Application Notes

EM198810 RF Transceiver Register Definitions

Add EM198810 recommend register setting (Appendix 1)

Programming RF Transceiver Registers

All registers of RF Transceiver can only be accessed using DBus serial interface protocol as described in EM198810 specification or EM198810 application note AN-198810-3 or SPI interface format.

Register descriptions

Receive RF Control (Write/Read) - Register 0

(Default =0xCD51)

Управление RF(радиочастотным) приемником (Запись/чтение)

Bit No.	Bit Name	Description(Описание)
15 - 11	MIXER_GAIN[4:0]	Set 5-bit gain value for RX mixer. Задать 5-бит которые определяют коэффициент усиления для RX(приемник) микшера.
10	MIXER_LP	"1"Enable RX mixer low-power mode. 1- Разрешить RX микшеру перейти в энергосберегающий режим.(Еще не подтверждено) можно использовать в режиме Idle.
9 - 5	RX_BPF_Q[4:0]	Set 5-bit Q value for band pass filter. Задать 5-бит Q для полосового фильтра
4-0	RX_BPF_GN1[4:0]	Set 5-bit gain value for the portion 1 receiver's band pass filter. Задать 5-бит для первой части полосового фильтра приемника.

RF Status (Read only) - Register 1

RF Статус (Только чтение)

Bit No.	Bit Name	Description
15	VPON	One of the two indicators tells if the right VCO curve is selected. Один из двух индикаторов состояния VCO(генератора управляемого напряжением). 1- если выбрана правильная кривая VCO.
14	VTFREQ	The other indicator tells if the right VCO curve is selected; both "VPON" and "VTFREQ" will be "1" when the right VCO is selected. Второй индикатор состояния VCO. Оба выставлены в 1 когда правильная кривая VCO выбрана.
13-8	RC[5:0]	6-bit BPF RC calibrated value generated by RC CALC circuit. 6 калибровочных бит BPF RC (полосового фильтра). Задаются цепью RC CALC.
7-0	ADC_DOUT[7:0]	8-bit values generated by A/D converter. 8-бит, значение генерируется аналого-цифровым преобразователем.

RF Синтезатор/ Настройки VCO

Bit No.	Bit Name	Description
15	FORCE_IDLE	When "1" to reset the digital modem into the idle mode 1- перевести в режим ожидания.
14	BYPASS_VCO_CAL	Disable automatic VCO curve calibration feature during Power-on state or Idle state. This bit takes precedence over VCO_CAL_EN (bit 1 of Register 26). Блокирует автоматическую VCO калибровку во время режимов включения или простоя. Этот событие предшествует перед VCO_CAL_EN (bit 1 of Register 26).
13	Reserved	
12	DEVIATION_SEL	"1" : select 320KHz deviation; "0" : select 160KHz deviation. 1 : выбрать смещение 320 КГц; 0: выбрать смещение 160 КГц.
11-8	VCO_FC[3:0]	Set 4-bit value for TX modulator bandwidth; i.e. those 4 bits are for VCO Fc control. 4-бита определяют пропускную способность TX(передатчик); т.е 4 бита для регулирования VCO Fc.
7-4	VPON_TUNE[3:0]	Set VPON voltage step. Установить VPON шаг напряжения.
3-0	VTFREQ_TUNE	Set VTFREQ voltage step. Установить VTFREQ шаг напряжения.

TX/RX Status (Read only) - Register 3

Прием/Передача состояние (Только чтение)

Bit No.	Bit Name	Description
15 - 11	BLUE_RF_STATE[4:0]	Show up the status of BlueRF finite state machine. Статус конечного BlueRF устройства.
10	RC_FIN	RC finish status from RC CALC circuit. RC окончание получения калибровочных данных от цепи RC CALC. (Не подтверждено) В теории после этого события можно забирать значение RSSI.
9 - 6	VCO_CAL[3:0]	Indicate the current VCO frequency band setting after automatic calibration. Индикация текущей VCO полосы частот после автоматической калибровки
5	VCO_CAL_ERROR	An error flag indicates that no proper VCO curve can be found. Флаг ошибки. VCO кривая не найдена.
4	RF_SYNTH_LOCK	Indicate the lock status of RF synthesizer. Индикатор состояние защелки RF(радиочастотного) синтезатора
3 - 0	TEMP_SENSOR[3:0]	Indicate the current temperature range. Текущая температура. 1=4 градуса цельсия.

BLUE_RF_STATE(см. таблицу выше)

BLUE_RF_STATE [4:0]	STATE
00000	Off
00001	PwrOnWaitXTL
00010	HoldXTL
00011	Idle
00100	Sleep
00101	SleepWaitXTL
00110	VCO_Sel
00111	VCO_Wait
01000	RXPLLWait1
01001	RXPLLWait2
01010	RXWideFilt
01011	RXNarrowFilt
01111	VCO_PwrOnWait
10000	WaitDataSync1
10001	WaitDataSync2
10010	DataSync
10011	EnblePA1
10100	EnblePA2
10101	TXData
10110	DisablePA1
10111	DisablePA2
11000	DisablePA3

RF TX Control (Write/Read) - Register 4

(Default = 0x3CD0)

RF TX управление (Запись/чтение)

Bit No.	Bit Name	Description
15-14	RSSI_GN_ADJ[1:0]	RSSI control signal. RSSI (индикация уровня принимаемого сигнала) управляющего сигнала. (скорей всего исходящего сигнала)
13-10	TXDAC_DC[3:0]	Set 4-bit value for TXDAC DC voltage level. 4-бита задают уровень напряжения TXDAC(ЦАП) DC(постоянного тока)
9	RSSI_DIS	"1":disable RSSI feature. 1- Отключить функцию RSSI. Немного ускорит работу трансивера. Но если небыли правильно настроены задержки, то не даст какого либо результата (эта функция не испытана).
8	Reserved	
7-3	TXDAC_GAIN[4:0]	Set 5-bit gain value for TXDAC. 5-бит коэффициент усиления для TXDAC(ЦАП)
2-0	BG_TBIT[2:0]	Set 3-bit test-mode control for BandGap reference. 3-бита задают эталон для определения диапазона опорного напряжения.

Bit No.	Bit Name	Description
15 - 11	SYNTH_ON DELAY CNT[4:0]	<p>In the state "WAIT DATA SYNC" of BLUE RF, RF oscillator will be enabled at first. There is a time offset controlled by the counter SYNTH_ON_DELAY_CNT. When the counter counts to zero and SYNTH_IDLE_OFF = "0", the synthesizer will be enabled. Each time increment is 1uS.</p> <p>В состоянии "WAIT DATA SYNC" режима работы BLUE RF, RF генератор будет активирован первым. Таймер "SYNTH_ON_DELAY_CNT" задает продолжительность задержки. Если счетчик примет значение 0, то синтезатор активируется. Цена счетчика 1=1uS.</p>
10-9	Reserved	
8	REG_PROTECT	<p>The bit is used to protect the test registers from the access of Thunder users. Except Register 7, 8, 9, 30, 31 and REG_PROTECT, other Registers are protected by setting REG_PROTECT as "1". When the value of REG_PROTECT is "0", all the registers can be normally access.</p> <p>Этот бит запрещает доступ к контрольным регистрам пользователям "Thunder users". За исключением Register 7, 8, 9, 30, 31 и бита "REG_PROTECT". Доступ к остальным регистрам будет закрыт.</p> <p>0- Отключить защиту 1- Включить защиту.</p>
7 - 0	RX_DELAY [7:0]	<p>8-bit Receive delays from receiving synthesizer program register to start transmit BDATA1 to BBIC. Each time increment is 1uS.</p> <p>8-битная временная задержка берется из регистра команд синтезатора. Задает начало передачи BDATA1 к BBIC. Цена счетчика 1=1uS.</p> <p>Одна из задержек которая будет выдержана перед началом приема данных.</p>

TX Coefficient/RSSI Value (Read only) - Register 6

TX Коэффициент/Значение RSSI(Только чтение)

Bit No.	Bit Name	Description
15 - 10	RAW_RSSI[5:0]	Indicate 4-bit raw RSSI values from analog circuit for internal debugging purpose. 4-битное значение не обработанного RSSI из аналоговой цепи. Необходимо для отладки.
9	AGC	Indicate the current 1-bit AGC value. (See also Registers 14 and 17.) Показывает текущее состояния бита AGC (автоматическая регулировка усиления) (см. также Registers14 и 17)
8	RSSI_VALID	Indicate if the current RSSI value (bit 3-0 of this register) is valid. Если 1 то текущее значение RSSI действительно(биты 3-0 в этом регистре). После выставления флага PKT значение уже действительно. Но все же стоит проверять.
7 - 0	RSSI[7:0]	Indicate the current 8-bit RSSI values. Показывает текущие 8-бит значения RSSI. Поле содержит данные только после приема пакета. После перехода в режим RX сбрасывается в 0. По значению этого поля можно определить примерное расстояние до передатчика.

RF синтезатор/управление TX-RX (Запись/Чтение)

Bit No.	Bit Name	Description
15 - 14	Reserved	
13 - 9	SWALLOW [4:0]	<p>5-Bits Synthesizer Swallow counter. When the RF_PLL_DIRECT is set to "1", the synthesizer will be programmed directly with Register7[13:9] and Register7[6:0]. The frequency of synthesizer will not be programmed as $f = 2402 + \text{PLL_CH_NO}$ again.</p> <p>5-битный счетчик "Synthesizer Swallow". Если RF_PLL_DIRECT=1, то синтезатор будет программироваться непосредственно через Register7[13:9] и Register7[6:0]. Частота синтезатора не будет задаваться как $f = 2402 + \text{PLL_CH_NO}$.</p>
8	DBUS_TX_EN	<p>Enable the Transmit Sequence for state machine control.</p> <p>Перейти в режим TX.</p>
7	DBUS_RX_EN	<p>Enable the Receive Sequence for state machine control. Note that DBUS_TX_EN and DBUS_RX_EN cannot be "HIGH" at the same time; otherwise, the configuration to Thunder cannot work.</p> <p>Перейти в режим RX.</p> <p>Заметка: DBUS_TX_EN и DBUS_RX_EN не могут принять состояние "1" в одно и тоже время; иначе, конфигурация Thunder не будет рабочей.</p>
6 - 0	RF_PLL_CH_NO [6:0] /RF_PLL[6:0]	<p>7 bits stand for the Bluetooth RF channels. The channel frequency will be: $f = 2402 + \text{PLL_CH_NO}$.</p> <p>When the RF_PLL_DIRECT is set to "1", the synthesizer will be programmed directly with Register7 [13-9] and Register7[6:0]. Register7[6:0] are used as 7-bits Synthesizer Program counter The frequency of synthesizer will not be programmed as $f = 2402 + \text{PLL_CH_NO}$ again.</p> <p>Номер канала используемого канала. Частота будет определяться как $f = 2402 + \text{PLL_CH_NO}$ (по умолчанию). Начальное значение частоты можно задать с помощью регистра 21(поле PLL_RF_FREQ_BASE) . По умолчанию 2402.</p>

RF_TX_EDR Control (Write/Read) - Register 8

(Default = 0x0404)

Управление RF_TX_EDR (Запись/Чтение)

Bit No.	Bit Name	Description
15-13	Reserved	
12-8	Ido_lp_sleep[3:0]	<p>Set 5-bit LDO sleep current.</p> <p>5-битное значение LDO(Low Dropout Voltage Reg/ Низковольтный переключатель) тока во время сна.</p>
7-5	Reserved	
4-0	Ldo_sp-normal[4:0]	<p>Set 5-bit LDO operating current.</p> <p>5-битное значение LDO в рабочем состоянии.</p>

Управление RFIC(радиочастотной интегральной схемой) (Запись/Чтение)

Bit No.	Bit Name	Description
15-12	PA_PWCTR[3:0]	PA high power version. PA (усилитель мощности) версия мощности.
11 - 7	PA_GN[4:0]	5-bit transmit power amplifier gain setting. 5-битный коэффициент усилителя мощности передатчика.
6	TR_SW_POLARITY	When "0", the default polarity of TR_SW is selected (TR_SW: "0" is for transmitting; "1" is for receiving); "1" the polarity of TR_SW is inverse. Если 0, то выбрана полярность TR_SW по умолчанию(TR_SW: 0 для передачи; 1 для получения) 1- полярность TR_SW инвертирована.
5	APLL_VT_SENSE	APLL VT sense bit. Analog PLL (аналоговая система с фазовой автоматической подстройкой частоты) VT бит распознавания.
4	APLL_VT_FORCE	APLL VT force bit. APLL VT бит силы.
3	APLL_BP	Analog PLL Bypass mode. When "1", Fout = Fin. Analog PLL режим транзитной передачи. Если 1, то Fout = Fin. (freq. control)
2	APLL_PDN	Analog PLL power-down mode. When "1", APLL is power-off . Analog PLL режим отключения питания. Если 1, то APLL выключен.
1	BRCLK_SEL	The selection pin for the BRCLK. If BRCLK SEL = "1", BRCLK = crystal out or If BRCLK SEL = "0", BRCLK = TXCLK(1MHz). (default = "1") Задействован вывод BRCLK. Если BRCLK SEL=1,то BRCLK= внешний кристалл или если BRCLK SEL =0, то BRCLK = TXCLK(1MHz). (по умолчанию = 1)
0	BRCLKEN	The output of BlueRF interface BRCLK works when BRCLKEN is high.(default = "1") Выход BlueRF сопряжен с BRCLK, работает когда BRCLKEN =1 (по умолчанию=1)

Bit No.	Bit Name	Description
15	ENTER_SLEEP	When "1" is given, chip will enter into sleep mode to save power. Перейти в режим Sleep. Пробуждение происходит по активному уровню на выводе SS (SPI интерфейс).
14	AMS_TST_ENB	When "1" is given, enable the AMS test mode and bypass BlueRF finite state machine. Если задать 1, то активируется режим AMS test и транзитное устройство BlueRF перейдет в конечное состояние.
12-13	AMS_TST_MD_SEL	00 : Normal operation mode, 01 : Enable the test for the digital to analog converter of the transmit I channel. 10 : Enable the test for the digital to analog converter of the transmit Q channel. 11 : Enable the test for the analog to digital converter of the RSSI. 00 : Нормальный режим 01: Разрешить проверку ЦАП передающего I канала. 10: Разрешить проверку ЦАП передающего Q канала. 11: Разрешить проверку ЦАП блока RSSI.
11	TXDAC_MOD_MON	Enable DAC output monitor enable. Включить ЦАП и разрешить внешний мониторинг.
10	BPF_TST_PD	When "1", indicate to power down the band pass filter during AMS_TST_ENB="1". Если 1, то транзитный фильтр выключен пока AMS_TST_ENB=1.
9-8	Reserved	
7	Ext_pa_sel	0: RXDATA=EXT_PA_CTRL0, Test1=EXT_TR_SWb, teste=EXT_TR_SWb. 1: RXDATA, Test1, teste back to previous define. 1: RXDATA, Test1, проверка на предыдущее состояние.
6	Reserved	
5	LNA_TST_PD	When "1", indicate to power down LNA during AMS_TST_ENB="1". Если 1, то LNA выключен пока AMS_TST_ENB=1.
4	ADC_TST_PD	When "1", indicate to power down ADC during AMS_TST_ENB="1". Если 1, то ЦАП выключен пока AMS_TST_ENB=1.
3	RF_VCO_TST_PD	When "1" is given, indicate to power down the RF VCO circuits during AMS_TST_ENB="1". Если 1, то цепь RF VCO выключена пока AMS_TST_ENB=1.
2	RC_TST_START	Provide test value for RC START during AMS_TST_ENB="1". Предоставлять результаты тестирования пока AMS_TST_ENB=1.
1	RC_TST_PD	When "1", indicate to power down RC circuits during AMS_TST_ENB=1. Если 1, то RC цепь отключена пока AMS_TST_ENB=1.
0	MIXER_TST_PD	When "1", indicate to power down mixer during AMS_TST_ENB="1". Если 1, то микшер отключен пока AMS_TST_ENB=1.

Bit No.	Bit Name	Description
15	TX_DAC_TST_PD	When "1" is given, indicate to power down the TX DAC during AMS TST ENB = "1". Если 1, то TX ЦАП выключен пока AMS_TST_ENB = "1".
14	AMS_BUF_PD	Power down control for testing buffer in mixed-mode region. "1" means to power down, and "0" means in Testing mode. Отключение питания для проверки буфера микшера. 1- выключить, 0- переход в режим тестирования.
13	AMS_BUF_LS	Signal level shift control for testing buffer in mixed-mode region. When "1" is given, the signal level will be shifted to 0.6V; in the another case ("0"), there are no any shift. Управление смещением уровня сигнала для проверки буфера микшера. Если 2, то сигнал смещен к 0.6В; 0- смещения нет.
12	AMS_BUF_GN	Gain control for testing buffer in mixed-mode region. "1" → 2V/V; "0" → 1V/V. Управление усилением для проверки буфера микшера. 1- 2В/В; 0-1В/В.
11	AMS_BUF_SIN	Single-end input control for testing buffer in mixed-mode region. "1" → single end; "0" → difference mode. Односторонний входной контроль для проверки буфера микшера. 1-односторонний 0-режим различий.
10	reserved	
9	RSSI_PDN	"1": power down RSSI. 1- выключить RSSI.
8	reserved	
7	TX_PA_TST_PD	When "1", indicate to power down the Power Amplifier module circuits during AMS_TST_ENB= "1". Если 1, то цепь усилителя мощности выключена пока AMS_TST_ENB= 1.
6	TR_TST_SW	When "1", indicate to put the RF switch for the receiver and "0" for TX transmission path during AMS_TST_ENB = "1". Если 1, то переключить RF на прием и 0 на передачу пока AMS_TST_ENB = 1.
5	ADC_TST_CLKEN	When "1", provide enable signal to ADC clock enable input during AMS TST ENB = "1" Если 1,то отправить сигнал разрешения генератору АЦП пока AMS TST ENB = 1.
4	SYNTH_TST_PD	When "1" is given, indicate to power down the synthesizer circuits during AMS_TST_ENB = "1". Если 1, то цепь синтезатора выключена пока AMS_TST_ENB =0.
3	reserved	
2	VCO_PDN	"1" : power down VCO. 1- выключить VCO.
1	PDN	"1" : power down synthesizer. 1- выключить синтезатор.
0	XTAL_OSC_EN	When "1" is set, enable the internal oscillator circuit. Если 1,то задействовать внешний генератор

AMS TEST Control (Write/Read) - Register 12

(Default = 0x0000)

Управление AMS TEST(Запись/Чтение)

Bit No.	Bit Name	Description
15-6	resv[15:0]	Reserved register to digital interface. Регистр зарезервирован для цифрового интерфейса.
5-0	XI_trim[5:0]	For trim crystal. Для настройки кристалла.

AMS TEST Control (Write/Read) - Register 13

(Default = 0x0000)

Управление AMS TEST(Запись/Чтение)

Bit No.	Bit Name	Description
15-0	AMS_SW_SEL[15:0]	Switch selection control for mixed-signal circuit region. Note that this selection control is independent of AMS_TST_ENB. Управление переключателем микшера. Заметка: работает независимо от AMS_TST_ENB.

AMS TEST Control (Write/Read) - Register 14

(Default = 0x0000)

Управление AMS TEST(Запись/Чтение)

Bit No.	Bit Name	Description
15-12	AG_TH[3:0]	Set high-bound threshold value for AGC. Задать пороговое значение AGC(автоматическая регулировка усиления)
11-8	AG_TL[3:0]	Set low-bound threshold value for AGC. Задать нижний порог для AGC.
7	RX_BPF_LP	"1" : enable BPF and bpf1's low power mode. 1- задействовать полосовой фильтр и bpf1's в маломощный режим.
6	AGC_FORCE	"1" : force AGC to operate regardless of signal strength.(see also Register 6 and 17). 1- усиление AGC работает независимо от силы сигнала. (см. также Register 6 and 17)
5	AGC_DISABLE	"1" : disable AGC circuit. 1-выключить AGC.
4-0	BPF_BW[4:0]	Set bandwidth value for receiver's band pass filter. Задать полосу пропускания для принимающего полосового фильтра.

RC Control (Write/Read) - Register 15
RC управление(Запись/Чтение)

(Default = 0x017B)

Bit No.	Bit Name	Description
15	RC_SEL	Manually select RC value from bit 5-0 of this register. Задание значение RC вручную, 5-0 биты в этом регистре
14	rst_cnt2_sel	"1" : select 32, "0" : select 64. 1- выбрать 32; 0- выбрать 64
13	rst_cnt3_sel	"1" : select 7, "0" : select 3. 1- выбрать 7; 0- выбрать 3
12	rst_2_en	"1" : extra demod reset2 enable, "0" : reset2 disable, back to previous version. 1- разрешить, обычно не используемый reset2 0- reset2 отключен, вернуться к предыдущей версии
11-6	RC_OFFSET[5:0]	Set 6-bit offset value for RC CALC circuit. Задать 6-битное смещение для цепи RC CALC.
5-0	RC_MANU[5:0]	Manually select 6-bit RC value when RC_SEL is set. 6-битное значение RC, используется если RC_SEL=1(в этом регистре)

BPF Control (Write/Read) - Register 16

(Default = 0xF000)

Управление полосовым фильтром(Запись/Чтение)

Bit No.	Bit Name	Description
15-13	RX_BPF_VO_Q[2:0]	Set 3-bit value to adjust the Q-path amplitude of band pass filter's output. 3-бита задают Q амплитуду полосового фильтра на выходе.
12-8	RX_BPF_VO_I1[4:0]	Set 5-bit value to adjust the I-path amplitude of band pass filter's output.(stage 1st) 5-бит задают I амплитуду полосового фильтра на выходе. (первый каскад)
7-3	RX_BPF_VO_I2[4:0]	Set 5-bit value to adjust the I-path amplitude of band pass filter's output. (stage 2nd) 5-бит задают I амплитуду полосового фильтра на выходе. (второй каскад)
2-0	RX_BPF1_VO[2:0]	Set 3-bit value to adjust the amplitude of bpf1's output. 3-бита задают амплитуду полосового фильтра bpf1.

AGC Control (Write/Read) - Register 17

(Default = 0x0000)

Управление AGC(Запись/Чтение)

Bit No.	Bit Name	Description
15-0	Reserved	

Bit No.	Bit Name	Description
15	SOFTWARE_CNTL	<p>Set this bit to enable software to control the assertion time of PA_ON and SW_ON based on the values of TX_PA_ON_DELAY and TX_SW_ON_DELAY respectively; default setting '0' is to select HW state machine to control those timing.</p> <p>Установите этот бит чтобы разрешить управление продолжительностью PA_ON и SW_ON, которые основаны на TX_PA_ON_DELAY и TX_SW_ON_DELAY соответственно; по умолчанию задано 0. Означает автоматический выбор задержек.</p>
14	RX_DATA_INVERSE	<p>The control signal provides the convenience for using the upper band or lower band of IF signal. When "1" is given, the polarity of the received signals BDATA1 or RXDATA will be inverse.</p> <p>Управление нижней и верхней полосой частот для определения IF(промежуточная частота). Если 1, то полярность BDATA1 или RXDATA будет инверсной.</p>
13	BYPASS_PLL_LOCK	<p>When "1" is given, the transmitter will start to put the data on the air just after the time out of TX delay, and will not wait for the stable state of RF PLL.</p> <p>Если 1, то передатчик начнет передавать данные только простаивая во время TX задержки, и не будет ждать перехода в стабильное состояния RF PLL.</p>
12-10	TX_CW[2:0]	<p>Set the time period to transmit CW bits in TX mode after TR_SW is on; when this time period expires, TX data from BB will be transmitted.</p> <p>Задать период передачи несущих бит в TX режиме после TR_SW; когда это время истечет, TX данные из BB будут переданы.</p>
9	BRCLK_SW	<p>"1" : route the 12M from APLL to BRCLK pin.</p> <p>1 – направить связь 12М из APLL к выводу BRCLK.</p>
8	TX_DATA_INVERSE	<p>When "1" is given, the polarity of the transmitting data BDATA1 will be inverse internally.</p> <p>Если 1, то полярность передаваемых данных внутри BDATA1 будет обратная.</p>
7-0	reserved	

Bit No.	Bit Name	Description
15	reserved	LNA high power. LNA высоко мощный.
14	LOBUF_HP	PA high power. PA высоко мощный.
13	ADC_LP	ADC low power. АЦП низко мощный.
12	Reserved	
11-9	Reserved	
8	Bpktctl_sel	1: BPKTCTL control wide mode to Narrow mode in receiving. 0- BPKTCTL широкий режим в режим ограниченный.
7-4	WIDE_TC[3:0]	Select the time period for DC offset wide mode; during this period, DC offset circuit will use the speed set by bit 3-2 to track DC offset values; after selected time period expires DC offset circuit will automatically switch to the speed of narrow mode (bit 1-0 of this register). Please note the tracking speed in wide mode will be always faster than in narrow mode. Выбрать промежуток DC смещения широкого режима; на протяжении этого периода, DC цепь сдвига будет использовать скорость заданную в 3-2 бите(этого регистра); по истечению DC цепь сдвига автоматически переключится на скорость ограниченного режима(1-0 биты а этом регистре) Обратите внимание, что скорость в широком режиме будет всегда больше чем в ограниченном.
3-2	WIDE_TRACK_SPED [1:0]	Set alpha value for DC offset tracking speed in RX wide mode. Задать скорость DC смещения в RX широком режиме.
1-0	NARROW_TRACK_SPEED[1:0]	Set alpha value for DC offset tracking speed in RX narrow mode. Задать скорость DC смещения в RX узком режиме.

WIDE_TC

WIDE_TC [3:0]	Time Period(us)
0000	0
0001	8
0010	16
0011	24
0100	32
0101	40
0110	48
0111	56
1000	64
1001	72
1010	80
1011	88
1100	96
1101	104
1110	112
1111	120

WIDE_TRACK_SPEED

WIDE_TRACK [1:0]	Alpha Value
00	4 (slowest)
01	6
10	8
11	10 (fast)

NARROW TRACK SPEED

WIDE_TRACK [1:0]	Alpha Value
00	1 (slowest)
01	2
10	3
11	4 (fast)

PLL Synthesizer Control (Write/Read) - Register 20

(Default = 0x0003)

PLL управление синтезатором (Запись/Чтение)

Bit No.	Bit Name	Description
15	PLL_FREQ_PLUS	Set to choose the upper sideband Low IF signal or lower sideband Low IF signal to be demodulated. Задать верхнюю боковую полосу частот Low IF сигнала или нижнюю боковую полосу частот Low IF определенного сигнала
14-8	PLL_RX_FREQ_OFFSET	Set the RF PLL offset frequency above local oscillator. Установить RF PLL смещение частот для генератора
7-5	A_INIT[2:0]	PLL A count initial value in power down mode. PLL A счетчик инициировать в отключенном режиме
4	SYNTH_LP	Set PLL low power. PLL низкой мощности
3	LNA_LP	Set LNA low power. LNA низкой мощности
2	LOBUF_LP	Set local oscillator buffer low power. Установить локальный буфер осциллятора малой мощности.

PLL управление синтезатором (Запись/Чтение)

С помощью этого регистра можно снизить энерго-потребление в режиме idle. Но переход в режимы TX/RX будут более продолжительны.

Bit No.	Description	Description
15	APLL_IDLE_OFF	1: APLL will be put into the power-off state in IDLE. 1 – APLL во время простоя(IDLE) будет выключен
14	RF_VCO_IDLE_OFF	The RF VCO will be put into the power-off state if SYNTH IDLE OFF is "HIGH"; otherwise, they will be still active when SYNTH_IDLE_OFF is "LOW". RF VCO будет выключен если SYNTH IDLE OFF=1; иначе он будет активен пока SYNTH_IDLE_OFF=0
13	SYNTH_IDLE_OFF	The Synthesizer will be put into the power-off state if SYNTH IDLE OFF is "HIGH"; otherwise, they will be still active when SYNTH_IDLE_OFF is "LOW". Синтезатор будет выключен если SYNTH IDLE OFF=1 иначе он будет активен.
12	RF_PLL_DIRECT	When the RF_PLL_DIRECT is set to "1", the synthesizer will be programmed directly with Register7[11:0]. The frequency of synthesizer will not be programmed as $f = 2402 + \text{PLL_CH_NO}$ again. Если RF_PLL_DIRECT=1, то синтезатор будет программироваться через регистр Register7[11:0]. Частота не будет рассчитываться по формуле $f = 2402 + \text{PLL_CH_NO}$.
11-0	PLL_RF_FREQ_BASE	Set the RF PLL base frequency.(Default = 2402 MHz) RF PLL задание начальной частоты(по умолчанию 2402 МГц)

TX RF Timing Control (Write/Read) - Register 22

(Default 0x2602)

TX RF управление временными периодами (Запись/Чтение)

Bit No.	Bit Name	Description
15 - 8	TX_PA_ON_DELAY	These registers are the initial value for the counter of the TX RF PA (Power Amplifier) power-on control. The counter begins to count to zero just after that TX RF modulator power-on was turn on in PA-ON state. When the counter is zero, PA will be active. Each time increment is 1 uS; also these registers are to set the timing delay of the assertion of PA_ON after BPKTCTL is asserted, provided SOFTWARE_CNTL (bit 15 of Register 18) is set. Эта часть регистра иницирует счетчик TX RF PA (Усилитель мощности)срабатывающий при его включении. Счетчик начинает отсчитывать до 0 сразу после включения TX RF модулятора (режим PA-ON). Когда счетчик достигнет нуля, PA будет активирован. Счетчик отсчитывает каждую 1 uS; этот регистр устанавливает задержки PA_ON когда задействован BPKTCTL, бит SOFTWARE_CNTL(бит 15 Register18) выставлен.
7 - 0	TX_PA_OFF_DELAY	These registers are the initial value for the counter of the TX PA power-off control. When the BLUE-RF state is in PA-OFF and the counter decreases to zero, TX PA will be turn OFF. Each time increment 1 uS. Эта часть регистра иницирует счетчик TX PA срабатывающий при его выключении. Когда BLUE-RF принимает состояние PA-OFF и счетчик досчитает до нуля, TX PA будет отключен. Счетчик отсчитывает каждую 1 uS.

TX RF/WAKE-UP Timing Control (Write/Read) - Register 23

(Default 0x0802)

TX RF/WAKE-UP управление временными периодами (Запись/Чтение)

Регистр управляет продолжительностью выхода из режима Sleep. Намного проще не настраивать этот регистр а сделать программную задержку в коде.

Bit No.	Bit Name	Description
15 - 8	TX_SW_ON_DELAY	<p>These registers are the initial value for the counter of the TR_SW selection control. After TX PA is ON, the counter begins to count to zero. When the counter is zero, the Transceiver Switch is moved to the TX path. Each time increment is 1 uS, also these registers are to set the timing delay of the assertion of SW ON after BPKTCTL is asserted, provided SOFTWARE_CNTL (bit 15 of Register 18) is set.</p> <p>Эта часть регистра иницирует счетчик TR_SW. После включения TX PA, счетчик начинает отсчитывать до нуля. По достижению нуля "Transceiver Switch" (переключатель передатчика) переключится на TX (передачу). Счетчик отсчитывает каждую 1 uS, также это поле задает задержки SW ON когда BPKTCTL задействован, бит SOFTWARE_CNTL (бит 15 Register 18) выставлен.</p>
7 - 0	WAKE_UP_TIME	<p>These registers are the initial value for the counter of the wake-up time control from the "SLEEP" mode to "IDLE" mode. After the signal BXTLEN is from low to high level, the counter begins to count to zero. Then, Thunder will enter "IDLE" state after counter is zero. Each time increment is 1 uS.</p> <p>Это поле иницирует счетчик, который срабатывает при выходе из спячки "SLEEP" в режим простоя "IDLE". После сигнал BXTLEN из низкого уровня переходит в высокий, счетчик начинает отсчитывать до нуля. "Thunder" перейдет в режим простоя "IDLE" когда счетчик достигнет нуля. Счетчик отсчитывает каждую 1 uS.</p>

Fractional-N/VCO Control 1 (Write/Read) - Register 24

(Default 0xB040)

Fractional-N/VCO управляющий регистр 1 (Запись/Чтение)

Bit No.	Bit Name	Description
15	APLL_LOCL	Read only Только чтение
14	FORCE_DIT	"1" : unconditionally enable dithering feature. 1- безусловное разрешение функции сглаживания
13	DIT_P_EN	"1": enable dithering feature only when phase interpolator counter's value is between 0 to 7 or 56 to 63. 1- использовать функцию сглаживанию только когда фаза счетчика блока уплотнения находится между 0 и 7 или 56 и 63.
12	SEL_16_32	"0": select add/subtract 16 in calculating sigma-delta outputs when dithering feature is enabled. "1": select add/subtract 32 in calculating. 0- Выбрать знак +/- 16 при расчете сигма-дельта смещении когда задействована сглаживающая функция; 1- Выбрать знак +/- 32 при расчете.
11-10	PRE_SCAL_DLY[1:0]	Time delay setting of MC signal to pre-scalar. Время задержки установки пре-скалярного сигнала MC
9-6	VCO_FB[3:0]	VCO frequency band setting. Значение VCO полосы частот.
5	VCO_VT_SENSE	VCO VTUNE sense bit; "1" enable sensing of VTUNE at VTUNE_IO pin. VCO VTUNE бит направления приходящего радиосигнала; 1-разрешить считывать VTUNE вывода VTUNE_IO.
4	Reserved	
3	TEST_DIV	"1" : route DIV signal to PFD to SYNTH_SIGOUT pin. 1- направить DIV сигнал в PFD к выводу SYNTH_SIGOUT
2	TEST_FREF	"1" : route FREF signal to SYNTH_SIGOUT pin. 1- направить FREF к выводу SYNTH_SIGOUT
1	TEST_NA	"1" : route CLK of N/A counters to SYNTH_SIGOUT pin. 1 – направить CLK N/A счетчика к выводу SYNTH_SIGOUT
0	TEST1_OUT_EN	"1" : select TEST1 pin as the SYNTH_SIGOUT output for monitoring purpose. 1- выделить вывод TEST1 так как выход SYNTH_SIGOUT является целью мониторинга.

Fractional-N/VCO управляющий регистр 1(Запись/Чтение)

Bit No.	Bit Name	Description
15-12	CLOSE_LP_DLY[3:0]	Select the delay of Gaussian filter outputs in order to compensate for the delay of Sigma-Delta modulator. Задать задержку Гауссовский выходного фильтра для коррективировки задержки Сигма-Дельта модулятора.
11	SEL_GAU_OUTPUT	"1": select Gaussian filter output to feed into D/A during TX mode; "0": select square wave output to feed into D/A during TX mode. 1- Задать Гауссовский выходной фильтр для питающего напряжения D/A на протяжении режима TX; 0- выбрать квадратные исходящие волны питания D/A на протяжении режима TX.
10	A_INIT_EN	PLL A count initial value enable. PLL A начальное значение счетчика
9	SYN_FST_MODE_BP	"1" : Bypass Fast Mode of synthesizer. 1- обходной быстрый режим синтезатора.
8	SYN_FIN_SEL	Set internal 6MHz or 12MHz reference clock for synthesizer to save power. Выбрать внешний 6 МГц или 12 МГц генератор для синтезатора. Для экономии энергии.
7-6	T_RES1[1:0]	Reserved register 1 for RF control signals. Зарезервированный регистр 1 для управления RF сигналом.
5-0	RCP0[5:0]	Charge pump current setting 0. This setting will be valid only when chip is in receiving mode. Текущий заряд подкачки. Это значение действительно только если чип находится в передающем режиме.

CLOSE_LP_DLY

CLOSE_LP_DLY [2:0]	Delay (# of 12MHz clock)
000	4-clock delay
001	5-clock delay
010	6-clock delay
011	7-clock delay
100	8-clock delay
101	9-clock delay
110	10-clock delay
111	11-clock delay

Прочие настройки(Запись/чтение)

Bit No.	Bit Name	Description
15-10	RCP1[5:0]	Charge pump current setting 1. This setting will be valid when chip is in transmitting mode. Значение текущего заряда 1. Этот параметр актуален когда чип находится в режиме передачи.
9	VCO_ADJ_EN	"1" : enable automatic VCO adjustment logic. 1- разрешить автоматическое VCO логическое согласование
8	VCO_VT_FORCE	Provide control signal to VCO VT. Послать управляющий сигнал к VCO VT.
7	TEST1_DIGI_SEL	"1": route internal signal UPDATE to TEST1 pin for debug purpose; "0": route internal signal ACCU_IN_MSB to TEST1 pin. Please note bit 0 of register 24 has the precedence over this bit. 1- направить внутренний сигнал UPDATE на вывод TEST1 в целях отладки; 0- направить внутренний сигнал ACCU_IN_MSB к выводу TEST1. Учтите бит 0 регистра 24 имеет больший приоритет чем этот.
6	BYPASS_GAU	"1" : set to bypass digital Gaussian filter logic during TX mode. 1- обход цифровой логики Гаусовского фильтра на протяжении режима TX.
5-3	VCO_BIAS[2:0]	VCO bias current setting. VCO отклонение напряжения
2	VCO_FB_DIVSEL	"1": enable 8 divisions of VCO frequency band setting for automatic VCO adjustment feature; "0": enable 4 divisions of VCO frequency band setting for automatic VCO adjustment feature. 1- разрешить деление на 8 полосы частот VCO задаваемой автоматически функцией корректировки VCO. 0- разрешить деление на 4 полосы частот VCO задаваемой автоматически функцией корректировки VCO.
1	VCO_CAL_EN	Manually enable RFIC to start automatic VCO curve calibration procedure during Idle state. Разрешить ручную RFIC запускать процедуру VCO автоматической калибровки кривой во время простоя.
0	AUTO_VCO_SEL	"1": select CAL_VCO (bit 8-5 of Register 3) as effective VCO frequency band setting; "0": select VCO_FB (bit 9-6 of Register 24) as effective VCO frequency band setting. 1- выбрать CAL_VCO(биты 8-5 Register3) как эффективную VCO полосу частот. 0- выбрать VCO_FB (биты 9-6 Register24) как эффективную VCO полосу частот.

APLL Fractional Bus Value Control (Write/Read) - Register 27

(Default 0x0000)

Bit No.	Bit Name	Description
15-0	Reserved	

Reference Clock (Write/Read) - Register 28

(Default 0x1800)

Эталон часов(Запись/Чтение)

Bit No.	Bit Name	Description
15-14	reserved	
13-0	REF_FQ[13:0]	Set crystal frequency; bit 13-9 represent the integer part of crystal frequency in binary expression and bit 8-0 represents the fractional part of crystal frequency in binary expression (bit 8 = 0.5; bit 7 = 0.25; bit 6 = 0.125,....., and so on). Задать частот кристалла; бит 13-9 представляет целую часть частот в бинарном представлении и биты 8-0 в дробном представлении. (бит 8=0.5, бит 7=0.25, бит 6=0.125, и т.д.)

Manufacture's Revision Code (Read only) – Register 29

(Default 0x00?0)

Код версии изделия(Только чтение)

Bit No.	Bit Name	Description
7-4	RF_VER_ID[15:0]	This field is used to identify the sub-revision of the design. 0000 means no rev letter; 0001 means rev A; 0010 means rev B; 0011 means rev C, etc. Это поле используется для идентификации версии разработки. 0000- не имеет буквы. 0001- исполнение А 0010- исполнение В 0011- исполнение С
3-0	Reserved	

Manufacture's ID Code LSB (Read only) - Register 30

(Default 0x2413)

Младшие 16ть бит идентификационного кода (Только чтение)

Bit No.	Bit Name	Description
15-0	ID_CODE_L[15:0]	Lower 16-bit of JEDEC JEP106-K Manufacture's ID code, containing manufacturer, part number, and version. The LSB is always "1". Младшие 16 бит JEDEC JEP106-K идентификационного кода, содержит код изготовителя, часть номера, и версии. LSB всегда равно 1.

Manufacture's ID Code MSB (Read only) - Register 31

(Default 0x2184)

Старшие 16ть бит идентификационного кода (Только чтение)

Bit No.	Bit Name	Description
15-12	RF_CODE_ID	
11-0	ID_CODE_M[31:16]	Upper 16-bit of Manufacture's ID code. Старшие 16 бит ID.

EM198810 Framer Transceiver Register Definitions
 EM198810 назначение регистров блока передатчика

CONFIGURE_REG Register 48

(default 0x5800)

Bit	Name	R/W	Description	default
15-13	Preamble_len	R/W	000: 1byte, 001: 2bytes, 010: 3 bytes, . 111: 8 bytes Note: in transmit mode, always keep 8bit "1010..." before BPKTCTL as sync data. Длина преамбулы. Преамбула используется для побитной и побайтной синхронизации. Заметка: в режиме передачи всегда содержит 8 бит."10101011" перед BPKTCTL как данные синхронизации.	010B
12-11	Syncword_len	R/W	11: 64 bits, {Reg55[15:0],Reg54[15:0],Reg53[15:0],Reg52[15:0]} 10: 48bits, {Reg55[15:0],Reg54[15:0],Reg52[15:0]} 01: 32bits, {Reg55[15:0],Reg52[15:0]} 00: 16 bits,{Reg52[15:0]}	11B
10-8	Trailer_len	R/W	000: 4 bits, 001: 6bits, 010: 8 bits, 011: 10 bits . . 111: 18bits	000B
7-6	Data packet type	R/W	Кодирование сигнала(помехоустойчивая кодировка). 00: NRZ law data 01: Manchester data type 10: 8/10 line code (дает наилучший результат) 11: interleave date type	00B
5-4	FEC type	R/W	00: No FEC 01: FEC13 (дает наилучший результат) 10: FEC23 11: reserved Выбор режима кодирования(код для исправления ошибок)	
3	Power done	W	1: framer set BnPWR low to RFIC, than off the crystal buffer. 1- блок BnPWR задается RFIC, чем буфером кристалла	0B
2	Sleep mode	W	1: framer set BXTLEN low to RFIC, then off the crystal. 1- блок BXTLEN задается RFIC, а не кристаллом.	0B
1	Reset RFIC	W	1: MCU just to reset RFIC, once short. 1- MCU (микропроцессорное устройство управления)только сбрасывает RFIC, после короткого замыкания.	0B
0	Fun_sel	W	1: framer off. 0: framer on. 1-блок выключен 0-блок включен	0B

DELAY_REG0 Register 49

(default 0xCOOF)

Bit	Name	R/W	Description	default
15-8	BXTLEN delay time	R/W	Max delay time? To define count step (Min-Max: 0.5-2ms) 1: 8us Максимальная задержка? Определение подсчета шагов(Мин-Макс: 0.5-2 мс) 1:8 us	COH
7	Brclk_on_sleep	R/W	0: BRCLK is running at sleep mode. 0: BRCLK работает в режиме сна.	OB
6	reserved			OB
5-0	BDATA1 delay time	R/W	After BXTLAN BDATA1 keep high time. 1:1 us После BXTLAN BDATA1 оставить на время. 1:1 us	OFH

DELAY_REG1 Register 50

(default 0x9628)

Bit	Name	R/W	Description	default
15-8	TX_dly_tim	R/W	FW write reg7 TX enable, after TX_dly_tim time, HW start transmit time. Unit: 1 means 1uS FW разрешить запись reg7 TX, после задержки TX_dly_tim, HW время начала передачи. 1=1uS	96H
7-0	PA_dly_tim	R/W	PA on delay time after BPKTCTL driven high, Unit: 1 means 1uS РА временная задержка после BPKTCTL, управляемым высоким уровнем. 1=1uS	28H

DELAY_REG2 Register 51

(default 0x4000)

Bit	Name	R/W	Description	default
15-8	RX_dly_tim	R/W	FW write reg7 RX enable, After RX_dly_tim, HW start process received data via RXCLK Unit: 1 means 1uS FW разрешить запись reg7 RX, после RX_dly_tim, HW начинает процесс получения данных через RXCLK. 1=1uS	83H
7	Miso_tri-opt	R/W	0: SPI_MISO is tri-state when SPI_SS=1; 1: SPI MISO keep output. 0- SPI_MISO в неопределенном состоянии когда SPI_SS=1 1- SPI_MISO поддерживать как выход.	OB
6-0	Scramble data	R/W	Ключ шифрования.	00H

SYNC_WORD_1 Register 52

(default 0x0000)

Bit	Name	R/W	Description	default
15-0	SYNC_WORD[15:0]		<p>LSB bits of sync word is first, it match The BT SPEC?</p> <p>In different sync word length, this register is first send out.</p> <p>LSB слово синхронизации идет первым, проверяется на соответствие BT SPEC.</p> <p>Если длина слова синхронизации разная, то этот регистр передается первым.</p>	0000H

SYNC_WORD_4 Register 53

(default 0x0000)

Bit	Name	R/W	Description	default
15-0	SYNC_WORD[31:16]		<p>LSB bits of sync word is first</p> <p>LSB биты синхронизации идущие первыми.</p>	0000H

SYNC_WORD_3 Register 54

(default 0x0000)

Bit	Name	R/W	Description	default
15-0	SYNC_WORD[47:32]		<p>LSB bits of sync word is first</p> <p>LSB биты синхронизации идущие первыми.</p>	0000H

SYNC_WORD_2 Register 55

(default 0x0000)

Bit	Name	R/W	Description	default
15-0	SYNC_WORD[63:48]		<p>LSB bits of sync word is first</p> <p>LSB биты синхронизации идущие первыми.</p>	0000H

Threshold_reg Register 56

(default 0x4407)

Bit	Name	R/W	Description	default
15-12	TX_FIFO_threshold	R/W		0100B
11-8	RX_FIFO_threshold	R/W		0100B
7	Pkt_hint_pority	R/W	<p>1: PKF-flag/FIFO_flag low active. 0: high active.</p> <p>1- PKF-flag/FIFO_flag низкий активный уровень 0-высокий активный уровень</p>	0B
6	addr_match_opt	R/W	<p>Addr_match time option to fix RXCLK gitter.</p> <p>Addr_match время установки RXCLK решетки.</p>	0B
5-0	Syncword_threshold	R/W		07H

RF_CTRL Register 57

(default 0xB000)

Bit	Name	R/W	Description	default
15	CRC_on	R/W	0: CRC off. 1: CRC on 0- CRC не используется 1- CRC используется	1
14	Scramble_on	R/W	0: scramble off. 1: scramble on 0-не шифровать 1- шифровать	0
13	Pack_lenth_en	R/W	1: HW regards first byte payload is length 1- HW первый байт содержит длину пакета.	1
12	DIRECT_COTROL_MAS K	R/W	1: RF status from off status to idle status is controlled by BNPWR_PIN, BXTLEN_PIN, BDATA1_PIN. 0: When REST_n = 1, waiting certain timing, RF status will be automatically enter idle status. 1- RF переход из выключенного в режим простоя управляется BNPWR_PIN, BXTLEN_PIN, BDATA1_PIN. 0- Если REST_n = 1, то выдерживается определенная задержка, RF автоматически перейдет в режим простоя.	1
11	BNPWR_PIN	R/W		0
10	BXTLEN_PIN	R/W		0
9	BDATA1_PIN	R/W		0
8	Fw_term_tx	R/W	0:FW handle packet length and terminate TX by FW 1:when fifo write point equals read point, HW terminate TX when FW handle packet length 0- FW длина заголовка пакета и прекратить TX от FW. 1-когда fifo точка записи равна точки чтения, HW прекращает TX если в FW заголовок пакета. Использовать только если используется автоматическое определение длины пакета.	0
7-0	Crc initial data	R/W	Начальное значение CRC.	00H

Reserve_reg Register 58

(default 0x0000)

Bit	Name	R/W	Description	default
15-0	reserved	R/W		00H

Main_status Register 64 (Read only)

Bit	Name	R/W	Description	default
15-12	Framer/RFIC_st	R	<p>BnPWR, BXTLEN, TX_EN, RX_EN</p> <p>0xxx: OFF status 1000: sleep staus 1100: Idle 1110: transmit 1101: receive others: illegal status</p> <p>BnPWR, BXTLEN, TX_EN, RX_EN</p> <p>0xxx: выключен 1000: режим сна 1100: режим простоя 1110: режим передачи 1101: режим приема Остальные состояния недопустимы</p>	
11	Error_ok	R	<p>1: have error in receiving Include FEC CRC check, it will be cleared in next start RX/TX</p> <p>1-ошибка в CRC; если используется FEC то сообщает о том, что возможно ошибка не была исправлена.: будет очищена во время начала следующего сеанса RX/TX.</p>	
10	Syncword_rev	R	<p>1: syncword received, it is just available in receive status, after out receive status, always keep '0'</p> <p>1-полученное слово синхронизации; будет действительно только во время режима приема, после сбросится в 0. Выставляется перед флагом FIFO. Актуально только во время приема больших пакетов(>64 байт).</p>	
9-8	reserved			
7-4	Framer TX status	R	<p>Come from HW TX state machine, also can help HW to debug.</p> <p>Пришедший от HW TX статус устройства, токже может помочь при отладке.</p>	
3-0	Framer RX status	R	<p>Come from HW RX state machine.</p> <p>Пришедший от HW TX статус устройства.</p>	

TX_FIFO_REG Register 80

Bit	Name	R/W	Description	default
15-0	TXRX_FIFO_REG	R/W	<p>For MCU read/write data between the FIFO</p> <p>Для MCU между чтением/записью данных FIFO.</p>	00

Note: FW access FIFO is byte by byte.

Заметка: FW получает доступ к FIFO побайтно.

FIFO_RD_PTR Register 82 (Буфер с помощью этого регистра очистить нельзя)

(Буфер кольцевой, зачем сбрасывать смещение на голову непонятно)

Bit	Name	R/W	Description	default
15	Clr_w_ptr	W	1: clear TX FIFO point to 0 when write this bit to "1".It is not available in RX status 1-сбросить смещение на голову буфера TX FIFO. Во время режима RX сбросить нельзя.	0
14-8	FIFO_WR_PTR	R	FIFO write point. Смещение на голову FIFO в режиме TX.	
7	Clr_r_ptr	W	1: clear RX FIFO point to 0 when write this bit to "1".It is not available in TX status 1-сбросить RX FIFO точку когда этот бит будет установлен в 1. Это не работает во время режима TX.	0
6-0	FIFO_RD_PTR	R	FIFO read point. Смещение на голову FIFO в режиме RX.	

Appendix 1: Recommend register setting for EM198810. EM198810 recommended register setting table

RF initiation

Reg. address(Dec)	Reg. address(Hex)	Read/Write (Hexadecimal)	Default value (Hexadecimal)	Default value(12MHz crystal frequency) (Hexadecimal)
9	0x09	R/W	3003	2001
0	0x00	R/W	CD51	354D
2	0x02	R/W	137B	1F01
4	0x04	R/W	3CD0	BCF0
5	0x05	R/W	0081	00A1
7	0x07	R/W	0030	124C
8	0x08	R/W	0404	8000
12	0x0C	R/W	0000	8000
14	0x0E	R/W	6697	169B
15	0x0F	R/W	017B	90AD
16	0x10	R/W	F000	B000
19	0x13	R/W	2114	A114
20	0x14	R/W	819C	8191
22	0x16	R/W	0402	0002
24	0x18	R/W	B040	B140
25	0x19	R/W	7819	A80F
26	0x1A	R/W	6704	3F04
28	0x1C	R/W	1800	5800

Framer initiation

Reg. address(Dec)	Reg. address(Hex)	Read/Write (Hexadecimal)	Default value (Hexadecimal)	Default value(12MHz crystal frequency) (Hexadecimal)
48	0x30	R/W	5800	9800
49	0x31	R/W	C00F	FF8F
50	0x32	R/W	9628	8028
51	0x33	R/W	8300	8056
52	0x34	R/W	0000	4EF6
53	0x35	R/W	0000	F6F5
54	0x36	R/W	0000	185C
55	0x37	R/W	0000	D651
56	0x38	R/W	4407	4444
57	0x39	R/W	B000	E000

* Reg57, if MCU handle packet length and framer detect FIFO fully empty, Reg57=0xC080

* Reg57, if MCU handle packet length and terminates TX done, Reg57=0xC000

* Reg57, если MCU обрабатывает длину пакета и кадр FIFO окажется полностью пустым, Reg57=0xC080

* Reg57, если MCU обрабатывает длину пакета и TX завершится успешно, Reg57=0xC000